

2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067679

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

H01L 21/82
G06F 15/60
H01L 21/60

(21)Application number : 03-226670

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.09.1991

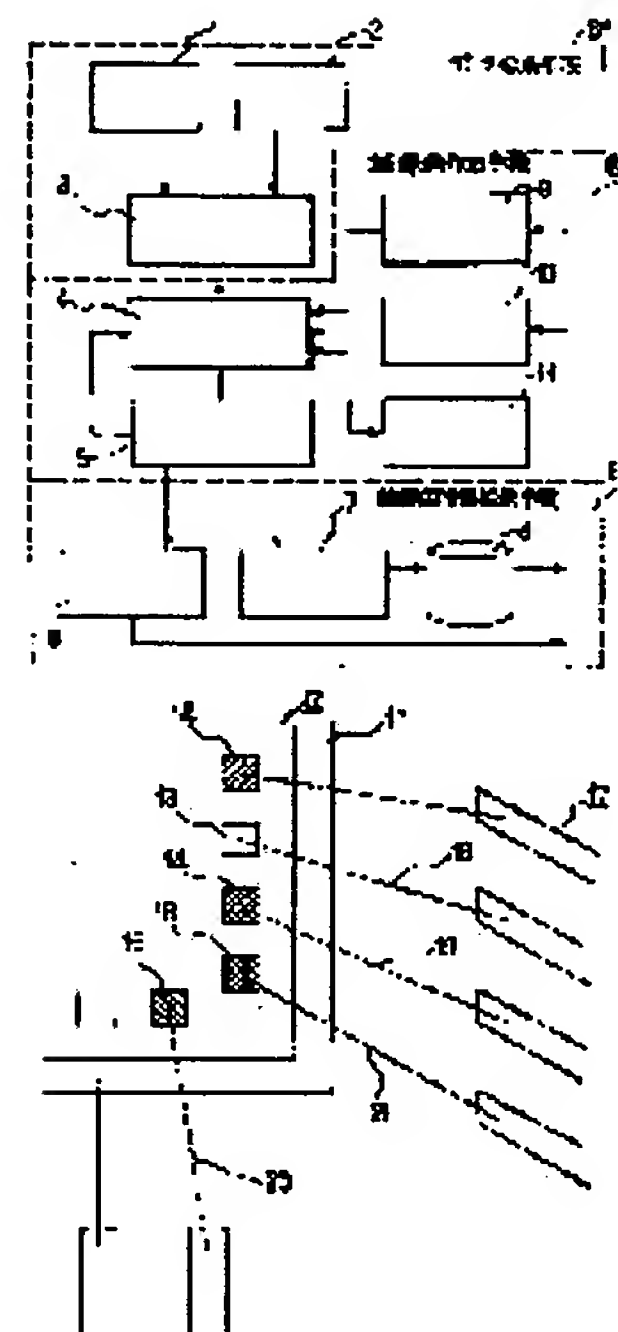
(72)Inventor : OCHI YOSHIKIMI

(54) LSI DESIGN SUPPORT SYSTEM

(57)Abstract:

PURPOSE: To ascertain an inclusion relation between the used pads and other pads to use this time by a method wherein a chip-frame connection diagram is formed for the composite chart formed by a data composing means referring to the connection diagram data which is formed by using the same chips and a different frame.

CONSTITUTION: In a composite chart data formed by a data composing section 3, identification markings are provided to the used pads 14, 15, and 16 recognized by an upper frame use pad recognition section 9 and a lower frame use pad recognition section 10. Then, a chip and a frame are automatically or dialogically connected together recognizing the use pads of an upper and a lower frame by a connection diagram forming section 4 to form a connection diagram for the composite chart data provided with the identification markings. At this point, the connected wires recognize an inclusion relation between the use pads of the upper and the lower frame, and the identification marking of wires 19, 20, and 21 are carried out by an inclusion relation arrangement wire recognition section 11. By this setup, pads can be lessened in misuse, and art LSI can be enhanced in design efficiency.



LEGAL STATUS

[Date of request for examination] 27.03.1995

[Date of sending the examiner's decision of rejection] 27.01.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2836311

[Date of registration] 09.10.1998

[Number of appeal against examiner's decision of rejection] 10-03220

[Date of requesting appeal against examiner's decision of rejection] 26.02.1998

[Date of extinction of right] 09.10.2001

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-67679

(43)公開日 平成 5 年(1993) 3 月19日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

G 0 6 F 15/60

H 0 1 L 21/60

3 7 0 A 7922-5L

3 2 1 Z 6918-4M

9169-4M

9169-4M

H 0 1 L 21/ 82

C

P

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号

特願平3-226670

(22)出願日

平成 3 年(1991) 9 月 6 日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 越智 麗仁

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社北伊丹製作所内

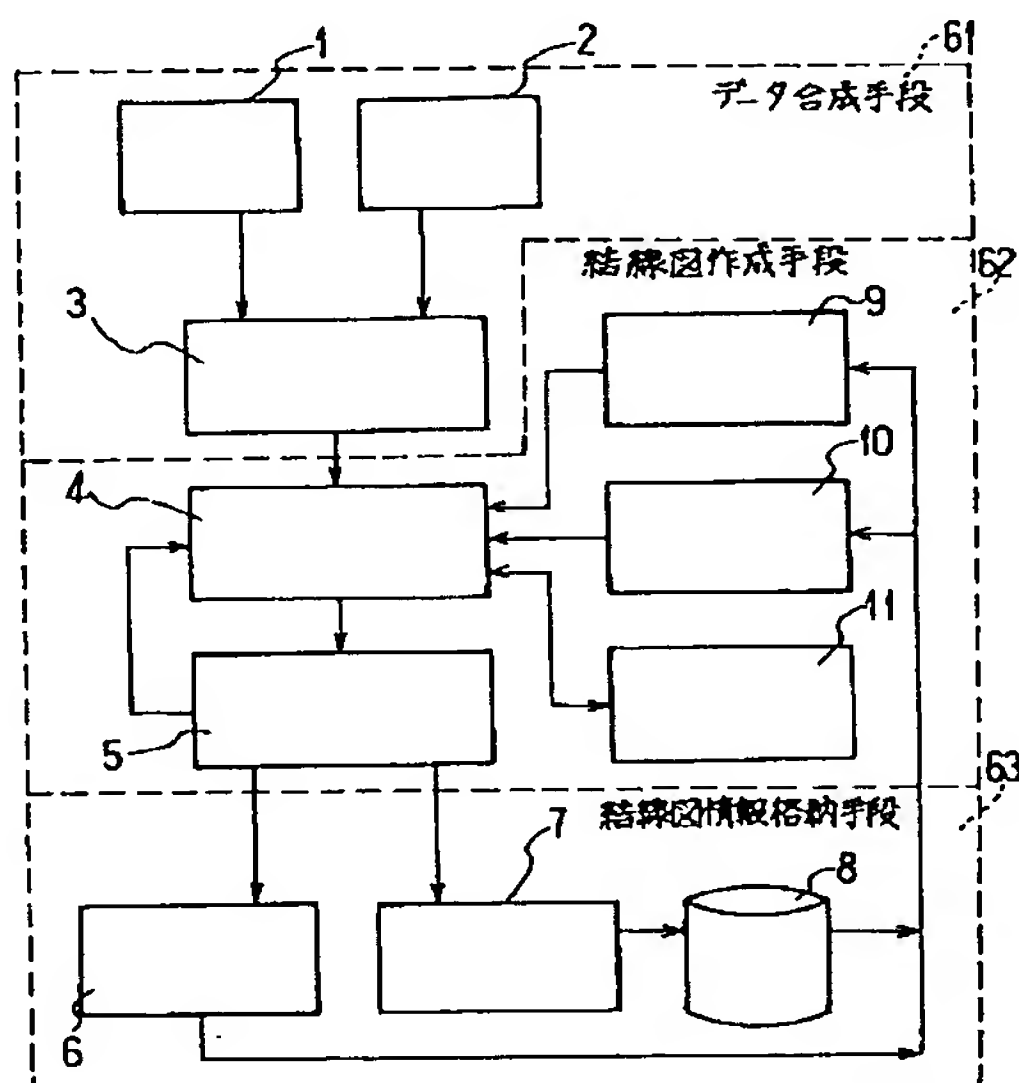
(74)代理人 弁理士 高田 守 (外 1 名)

(54)【発明の名称】 L S I 設計支援システム

(57)【要約】

【構成】 チップ設計部 1 とフレーム設計部 2 と、データ合成部 3 と、結線図作成部 4 と、ルールチェック部 5 と、完成結線図格納部 6 と、完成結線図から使用パッドを使用パッドデータベース 8 へ抽出する使用パッド抽出部 7 と、使用パッドデータベース 8 から上位ピン数のフレームでの使用パッドを認識し識別表示する上位フレーム使用パッド認識部 9 と、下位ピン数のフレームでの使用パッドを認識し識別表示する下位フレーム使用パッド認識部 10 と、上位及び下位フレームの使用パッドと接続しているワイヤを識別表示する包含関係成立ワイヤ認識部 11 で構成する。

【効果】 ひとつのチップにおいて、使用する複数フレーム間で使用するパッドの包含関係が成立することが出来、設計効率が向上する。



1: チップ設計部
2: フレーム設計部
3: データ合成部
4: 結線図作成部
5: ルールチェック部
6: 完成結線図格納部

7: 使用パッド抽出部
8: 使用パッドデータベース
9: 上位フレーム使用パッド認識部
10: 下位フレーム使用パッド認識部
11: 包含関係成立ワイヤ認識部

【特許請求の範囲】

【請求項 1】 下記の要素を備えた L S I 設計支援システム

(a) チップのレイアウト情報をもつチップデータとフレームのレイアウト情報をもつフレームデータを入力して、所定の位置に配置し合成図面を作成するデータ合成手段、

(b) データ合成手段で作成した合成図面に対して、同一チップで他のフレームを使用して作成した結線図情報を参照してチップ・フレーム間結線図を作成する結線図作成手段と、

(c) 結線図作成手段により作成されたチップ・フレーム間結線図に基づいて、上記結線図作成手段が結線図を作成する際に参照する結線図情報を抽出して格納する結線図情報格納手段。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、 I C チップ・フレーム間結線図を作成する L S I 設計支援システムに関するものである。

【0002】

【従来の技術】 図 3 は従来の I C チップ・フレーム間結線図を作成する L S I 設計支援システムのブロック図であり、図において、 1 は I C チップのレイアウト設計を対話的に行うチップ設計部、 2 は I C チップの外部端子となるフレームの設計を対話的に行うフレーム設計部、 3 はチップ設計部 1 とフレーム設計部 2 からチップ図面データ及びフレーム図面データを取り込みフレーム図面データ上の理想的な位置にチップ図面を配置するデータ合成部、 4 はデータ合成部 3 で作成した合成図面データにおいて I C チップの結線部であるパッドとフレーム間の結線を行う結線図作成部、 5 は結線図作成部 4 で作成されたチップ・フレーム間結線図に対して結線ルールを満たしているか否かのチェックを行うルールチェック部、 6 はルールチェック部 5 でエラーが発生しなかったチップ・フレーム間結線図を格納する完成結線図格納部である。図 4 はデータ合成部 3 で作成された合成図面データである。図において、 1 2 はチップ設計部 1 より入力したチップ図面データ、 1 3 はチップ図面データの一部でチップ側の結線部となるパッド、 1 7 はフレーム設計部 2 より入力したフレーム図面データ、 3 0 はフレーム図面データ 1 4 にチップ図面データ 1 2 を配置した合成図面データである。

【0003】 次に動作について説明する。チップ設計部 1 及びフレーム設計部 2 でそれぞれ I C チップ及びフレーム設計を対話的に行う。その後、データ合成部 3 によりチップ設計部 1 から設計後のチップ図面データ 1 2 と、フレーム設計部 2 に数あるフレーム図面から今回使用するチップ図面データに最も適したフレーム図面データ 1 7 を取り込み、このフレーム図面データ上の理想的

なチップ位置にチップ図面データを配置した合成図面データ 3 0 を作成する。この合成図面において、結線図作成部 4 により自動又は対話的にチップとフレーム間の結線を行い、チップ・フレーム間結線図を作成する。次にこの作成したチップ・フレーム間結線図について実際に製造工程で結線した時、断線及び線間の接触を防止するために定められた結線ルールを満足しているか否かのルールを、ルールチェック部 5 でチェックする。この結線ルールチェックに合格したチップ・フレーム間結線図は完成結線図格納部 6 により格納されるが、不合格になったチップ・フレーム間結線図は再度結線図作成部 4 で修正を行い、ルールチェック部 5 でチェックを行う。

【0004】

【発明が解決しようとする課題】 従来のチップ・フレーム間結線図を作成する L S I 設計支援システムは以上のように構成されているので、同一チップを複数種類のフレームに結線する場合、そのチップの過去の結線状態を知る方法がなく、今回使用するチップを使用して既に作成しているチップ・フレーム間結線図で結線に使用したパッドを考慮した結線作業を行うことが出来ない。そのため、同一チップがピン数の異なる複数種類のフレームで使用されるときのパッドの使用は結線図に使用するフレームのピン数の少ない方から多い方への包含関係を成立させるという設計ルールを満たすのが困難で時間がかかるなどの問題があった。

【0005】 この発明は、上記のような問題点を解消するためになされたもので、使用するチップが、既にチップ・フレーム間結線図を有している場合に、これを参照して結線を行なうことにより、包含関係の成立チェックを自動的に行える L S I 設計支援システムを得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係る L S I 設計支援システムは、同一チップに対して複数フレームで結線図を作成する場合、他のフレームで作成した結線図の情報を参照できるようにしたものであり、以下の要素を有するものである。(a) チップのレイアウト情報をもつチップデータとフレームのレイアウト情報をもつフレームデータを入力して、所定の位置に配置し合成図面を作成するデータ合成手段、(b) データ合成手段で作成した合成図面に対して、同一チップで他のフレームを使用して作成した結線図情報を参照してチップ・フレーム間結線図を自動又は対話的に作成する結線図作成手段と、(c) 結線図作成手段により作成されたチップ・フレーム間結線図に基づいて、上記結線図作成手段が結線図を作成する際に参照する結線図情報を抽出して格納する結線図情報格納手段。

【0007】

【作用】 この発明において、結線図情報格納手段は、結線図や使用したパッド等の結線図情報を、後の他のフレ

10

20

30

40

50

ームとの結線作業で参照されるように格納する。そして、結線図作成手段はこの結線図情報格納手段により各納された結線図情報を参照して結線図を作成するので、結線が正しく行なえる。

【0008】

【実施例】実施例 1. 以下、この発明の一実施例を図について説明する。図 1 において、1 は IC チップのレイアウト設計を対話的に行うチップ設計部、2 は IC チップの外部端子となるフレームの設計を対話的に行うフレーム設計部、3 はチップ設計部 1 とフレーム設計部 2 からチップ図面データ及びフレーム図面データを取り込みフレーム図面データ上の理想的な位置にチップ図面データを配置するデータ合成部、4 はデータ合成部 3 で作成した合成図面データにおいて IC チップの結線部であるパッドとフレーム間の結線を行いチップ・フレーム間結線図を作成する結線図作成部、5 は結線図作成部 4 で作成されたチップ・フレーム間結線図に対して結線ルールを満たしているかどうかのチェックを行うルールチェック部、6 はルールチェック部 5 で合格したチップ・フレーム間結線図を格納する完成結線図格納部、7 はルールチェック部 5 で合格したチップ・フレーム間結線図からフレームとの結線に使用しているパッドを抽出する使用パッド抽出部、8 は使用パッド抽出部 7 で抽出したパッド情報を使用チップ及び使用フレームと対応付けを行い格納する使用パッドデータベース、9 は今回結線図作成部 4 で結線処理を行うフレームよりもークラス多いピン数のフレームを使用し、今回結線処理を行うチップと同一のチップで既に結線図が作成されている場合、その結線図で使用された使用パッドを認識し結線図作成部 4 で識別表示を行うための識別データを作成する上位フレーム使用パッド認識部、10 はークラス少ないピン数のフレームについて前記上位フレーム使用パッド認識部 9 と同様の処理を行う下位フレーム使用パッド認識部、11 は結線図作成部 4 で結線したワイヤが上位フレーム使用パッド認識部 9 及び下位フレーム使用パッド認識部 10 で使用パッドとして認識されたパッドを使用しているかどうか（使用パッドの包含関係）を認識し包含関係が成立しているワイヤを識別表示する包含関係成立ワイヤ認識部である。また、61 はデータ合成手段、62 は結線図作成手段、63 は結線図情報格納手段である。図 2 は結線図作成部 4 で上位フレームでの使用パッド、下位フレームでの使用パッド及び上位、下位フレームでの使用パッドに接続したワイヤの識別表示を行った状態のチップ・フレーム間結線図の拡大図である。図において、12 はチップ設計部 1 より入力したチップ図面データ、13 はチップ図面の一部でチップ側の結線部となるパッド、14 は上位フレームで使用していると識別表示したパッド、15 は下位フレームで使用していると識別表示したパッド、16 は上位・下位フレームの両方で使用していると識別表示したパッド、17 はフレーム設計部 2 より

入力したフレーム図面データ、18 は IC チップとフレーム間の結線ルートを示す結線ワイヤ、19 は上位フレームで使用のパッドに接続していると識別表示した結線ワイヤ、20 は下位フレームで使用のパッドに接続していると識別表示した結線ワイヤ、21 は上位及び下位フレームの両方で使用のパッドに接続していると識別表示した結線ワイヤである。

【0009】次に動作について説明する。チップ設計部 1 及びフレーム設計部 2 でそれぞれ IC チップ及びフレーム設計を対話的に行う。その後、データ合成部 3 によりチップ設計部 1 から設計後のチップ図面データ 12 と、フレーム設計部 2 に数ある設計後のフレーム図面データ 17 から今回使用するチップ図面データに適したフレーム図面データをひとつ取り込み、このフレーム図面データ上の理想的なチップ位置にチップ図面データを配置した合成図面データを作成する。この合成図面データにおいて、上位フレーム使用パッド認識部 9 及び下位フレーム使用パッド認識部 10 で使用パッドであると認識したパッド 14、15、16 を識別表示を行い、識別表示した合成図面データに対して結線図作成部 4 により自動的又は対話的に上位、下位フレームでの使用パッドを確認しながらチップ・フレーム間の結線を行いチップ・フレーム間結線図を作成する。この時、結線したワイヤが上位、下位フレームでの使用パッドに接続しているかどうか（使用パッドの包含関係）を認識し各ワイヤ 19、20、21 の識別表示を包含関係成立ワイヤ認識部 11 で行う。ここで包含関係が成立出来なかったワイヤを再度結線しなおす。こうして作成したチップ・フレーム間結線図が実際の製造工程で結線した時、断線及び線間の接触を防止するために定められた結線ルールを満足しているかどうかを、ルールチェック部 5 でチェックする。このルールチェックで不合格になった結線図は再度結線図作成部 4 で修正を行う。合格したチップ・フレーム間結線図は完成結線図格納部 6 により格納され、さらに使用パッド抽出部 7 で使用しているパッドを抽出し、そのデータを使用パッドデータベースに格納する。この格納した使用パッドデータは、上位フレーム使用パッド認識部 9 及び下位フレーム使用パッド認識部 10 の使用パッド認識を行うためのデータとして利用する。

【0010】以上、この実施例に係る LSI 設計支援システムは、完成したチップ・フレーム間結線図で結線に使用しているパッドを抽出する使用パッド抽出部 7 と抽出したパッド結線図で使用したチップと使用したフレームと対応付けを格納する使用パッドデータベース 8 と、今回と同じチップで今回使用したフレームのピン数よりークラスピン数の多いフレームを使用した結線図において、結線に使用したパッドを結線作業中のチップデータ上に識別表示させるためのデータを作成する上位フレーム使用パッド認識部 9 と、ークラスピン数の少ないフレームを使用した結線図において、上位フレーム使用パッ

ド認識部と同様に結線に使用したパッドの識別データを作成する下位フレーム使用パッド認識部10と、結線の際の前記上位及び下位フレーム使用パッド認識部で識別したパッドに接続したワイヤであるか否かという包含関係を認識し、包含関係が成立しているワイヤを識別表示する包含関係成立ワイヤ認識部11を備えたものである。

【0011】そして、この実施例における上位フレーム使用パッド認識部9及び下位フレーム使用パッド認識部10は、今回作成しようとするチップ・フレーム間結線図のチップを使用し、使用するフレームよりもピン数が

一クラス多いフレーム又は少ないフレームで既にチップ・フレーム間結線図を作成している場合、それらの結線図の結線に使用しているパッドを認識し、今回作成する結線図のチップ上にそれらのパッドを識別表示する。

又、包含関係成立ワイヤ認識部11では、上位・下位使用パッド認識部9、10で識別したパッドを使用してフレームと結線したワイヤを認識し、識別表示を行う。

【0012】実施例2. 上記実施例では、上位・下位フレーム使用パッド認識部9、10がある場合を示したが、どちらか一方のみの場合でもよい。また、結線図情報としてチップ・フレーム間結線図と使用パッドデータベースの場合を示したが、どちらか一方のみの場合でもよいし、また、その他の結線図情報でもよい。

【0013】

【発明の効果】以上のように、この発明によれば上位フレーム及び下位フレーム等で使用したパッドと今回使用するパッドとの包含関係を確認しながらチップ・フレーム間結線図を作成することが出来るため、パッドの使用ミスが減少し設計効率の向上させることが出来る。又、

ひとつのチップにおいて、使用する複数のフレーム間で使用するパッドの包含関係が成立させることが出来るため、LSIのテスト時に必要な治具を複数作成する必要もなくなるためコストを軽減させる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例であるLSI設計支援システムのブロック図である。

【図2】図1のLSI設計支援システムにより上位、下位フレームでの使用パッド及びそれらのパッドを接続したワイヤを識別表示したチップ・フレーム間結線図の拡大図である。

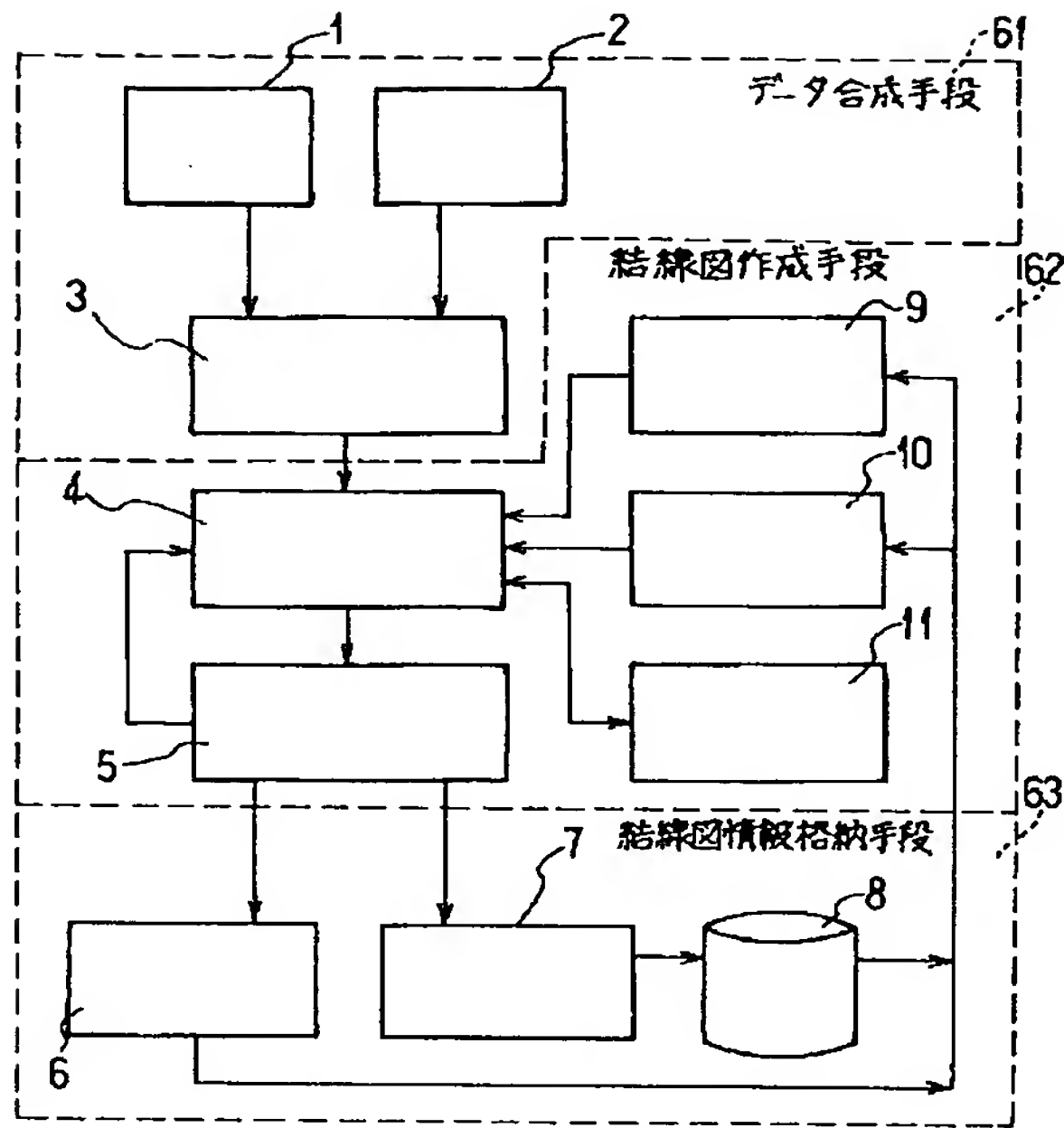
【図3】従来のLSI設計支援システムのブロック図である。

【図4】チップ図面とフレーム図面のデータを合成した合成図面データを示す平面図である。

【符号の説明】

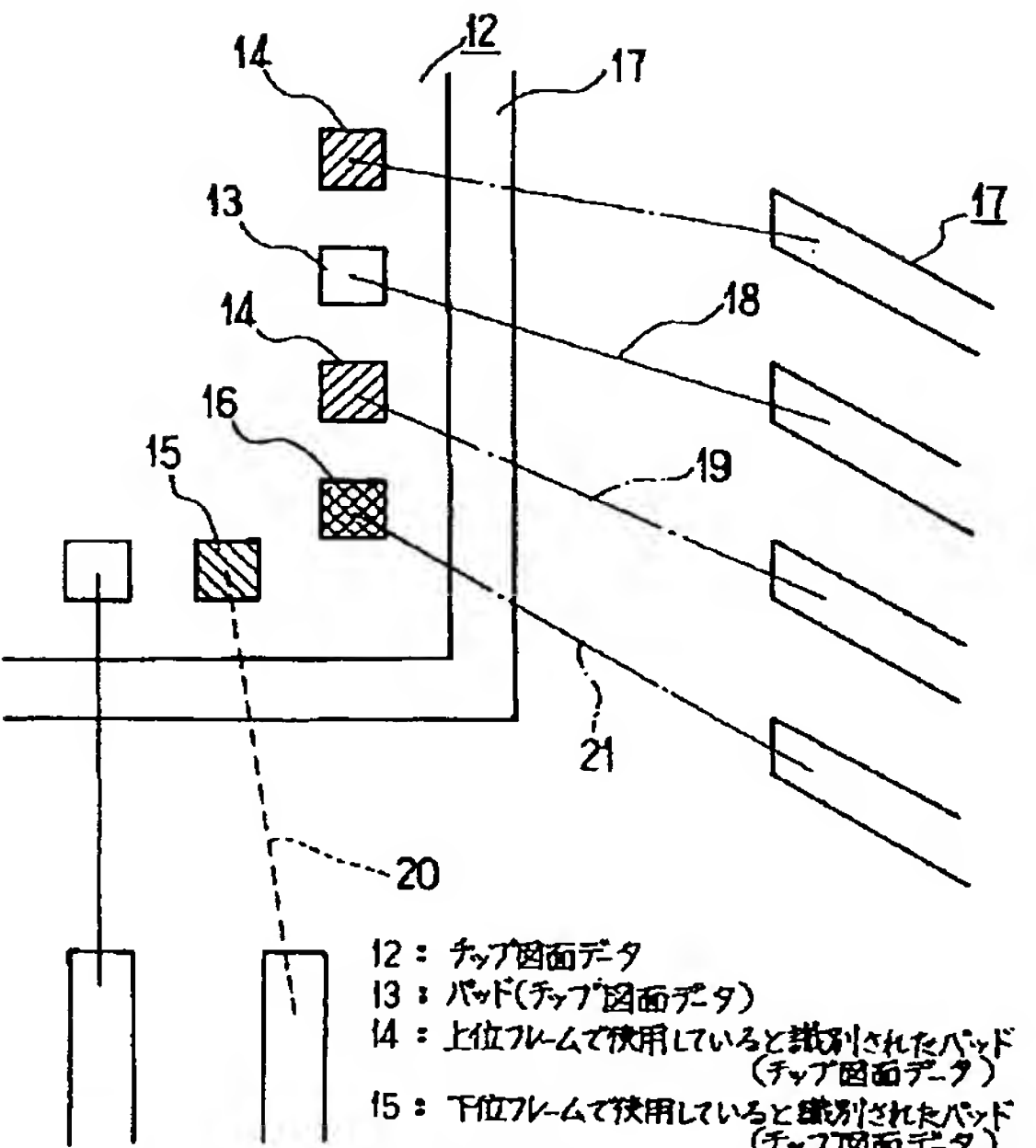
- 1 チップ設計部
- 2 フレーム設計部
- 3 データ合成部
- 4 結線図作成部
- 5 ルールチェック部
- 6 完成結線図格納部
- 7 使用パッド抽出部
- 8 使用パッドデータベース
- 9 上位フレーム使用パッド認識部
- 10 下位フレーム使用パッド認識部
- 11 包含関係成立ワイヤ認識部
- 61 データ合成手段
- 62 結線図作成手段
- 63 結線図情報格納手段

【図1】



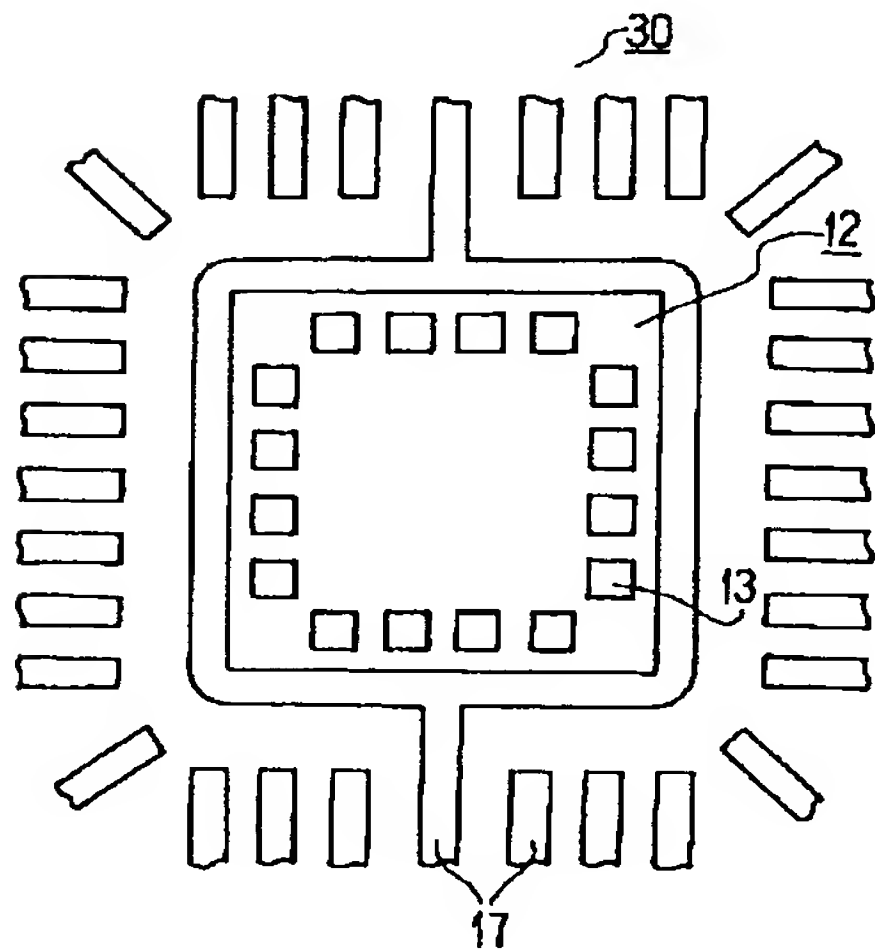
- 1: チップ設計部
- 2: フレーム設計部
- 3: データ合成部
- 4: 結線図作成部
- 5: ルールチェック部
- 6: 完成結線図格納部
- 7: 使用パッド抽出部
- 8: 使用パッドデータベース
- 9: 上位フレーム使用パッド認識部
- 10: 下位フレーム使用パッド認識部
- 11: 互関係係成立ワイヤ認識部

【図2】



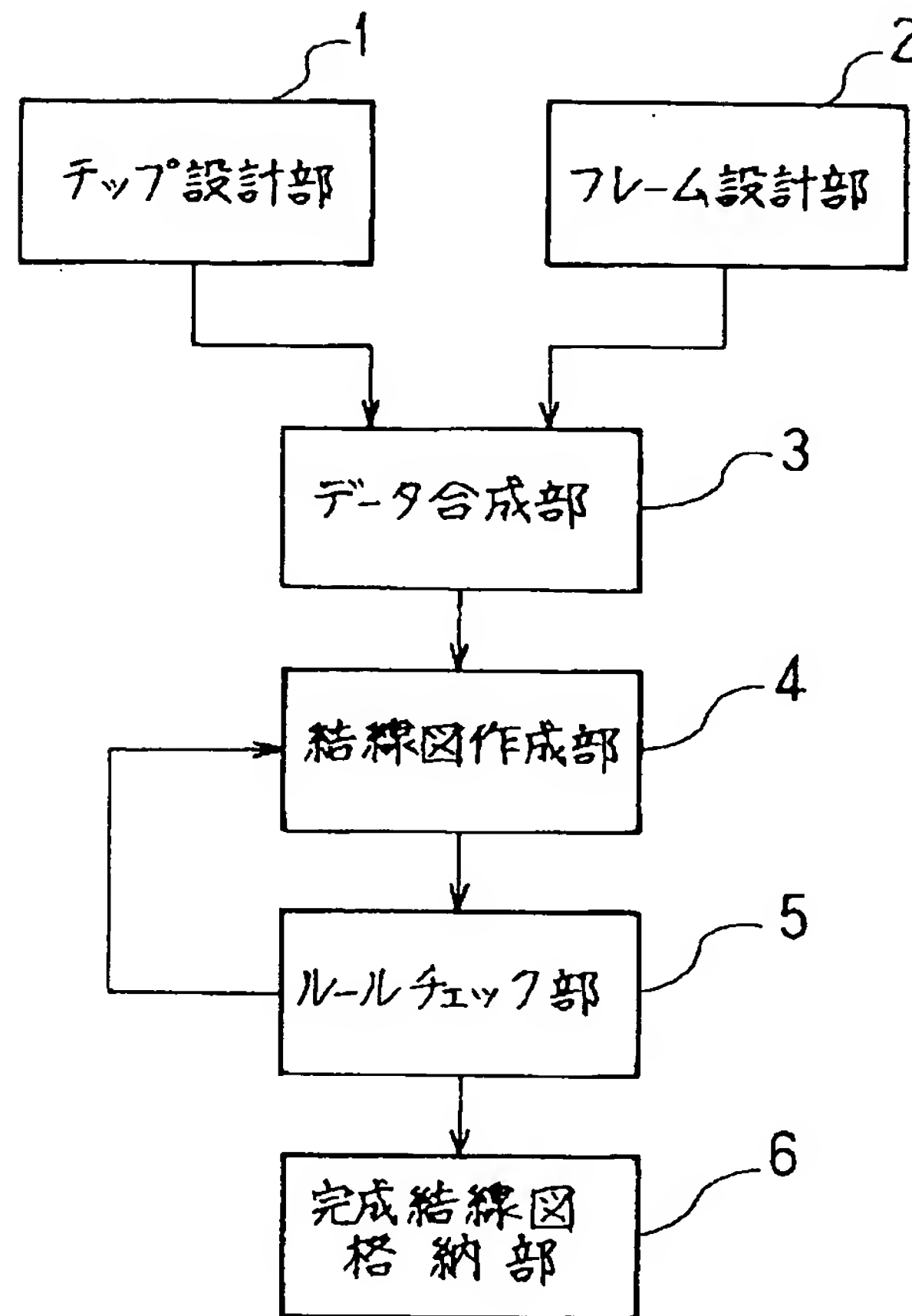
- 12: チップ図面データ
- 13: パッド(チップ図面データ)
- 14: 上位フレームで使用していると識別されたパッド(チップ図面データ)
- 15: 下位フレームで使用していると識別されたパッド(チップ図面データ)
- 16: 上位及び下位のフレームで使用していると識別されたパッド(チップ図面データ)
- 17: フレーム図面データ
- 18: 結線ワイヤ
- 19: 上位フレームで使用するパッドに接続した結線ワイヤ
- 20: 下位フレームで使用するパッドに接続した結線ワイヤ
- 21: 上位及び下位のフレームで使用するパッドに接続した結線ワイヤ

【図4】



- 12: チップ図面データ
- 13: パッド
- 17: フレーム図面データ
- 30: 合成図面データ

【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.